



19 BUNDESREPUBLIK

⑫ **Patentschrift**  
⑩ **DE 44 29 285 C 1**

(51) Int. Cl. 6:  
**H 03 K 17/0412**  
H 03 K 17/887



**DEUTSCHES  
PATENTAMT**

**(21) Aktenzeichen:** P 44 29 285-6-31  
**(22) Anmeldetag:** 18. 8. 94  
**(43) Offenlegungstag:** —  
**(45) Veröffentlichungstag**  
der Patenterteilung: 12. 10. 95

DE 4429285 C1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

**73 Patentinhaber:**  
Siemens AG, 80333 München, DE

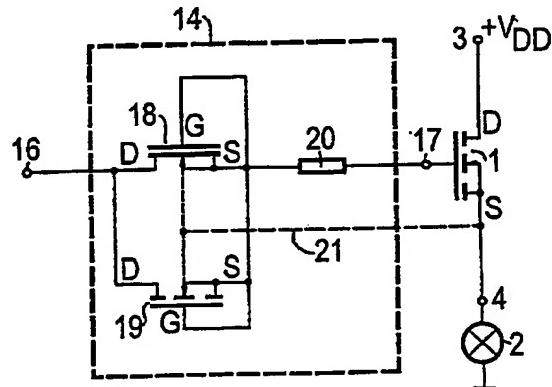
(72) Erfinder:  
Koroncai, Adam, Dipl.-Ing., Klagenfurt, AT; Tihanyi,  
Jenö, Dr., 80689 München, DE; Sander, Rainald,  
Dipl.-Phys., 81379 München, DE

**56 Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:**

DE 39 36 544 A1  
EP 05 72 706 A1

#### **(54) Ansteuerschaltung für ein feldeffektgesteuertes Leistungs-Halbleiterbauelement**

57 Zum Einschalten eines Leistungshalbleiterbauelementes (1) mit einer ersten, definierten Geschwindigkeit ist in der Gatezuleitung des Leistungs-Halbleiterbauelementes ein als Stromquelle geschalteter Depletion-FET (18) angeordnet. Dem Depletion-FET ist ein Enhancement-FET (19) parallel geschaltet, der dann leitend gesteuert wird, wenn das Stauersignal für das Leistungs-Halbleiterbauelement auf Null gesetzt wird. Dadurch wird das Leistungs-Halbleiterbauelement mit einer zweiten, höheren Geschwindigkeit abgeschaltet.



DE 4429285 C1

## Beschreibung

Die Erfindung bezieht sich auf eine Schaltungsanordnung zum Ansteuern eines durch Feldeffekt steuerbaren Leistungs-Halbleiterbauelementes, mit einem steuerbaren Schalter, der über strombegrenzende Mittel zwischen Gateanschluß und Sourceanschluß (Emitterschluss) des Leistungs-Halbleiterbauelementes angelassen ist. Eine solche Schaltungsanordnung ist z. B. in der europäischen Patentanmeldung EP 0 572 706 beschrieben worden. Der Schalter ist hier ein Depletion-FET. In der Gateleitung des Leistungs-Halbleiterbauelementes ist ein Widerstand angeordnet. Soll das Leistungs-Halbleiterbauelement leitend gesteuert werden, so wird an seinem Gateanschluß ein Eingangssignal angelegt, das die Gate-Sourcekapazität über den Widerstand auflädt. Gleichzeitig wird der Depletion-FET gesperrt. Zum Sperren des Leistungs-Halbleiterbauelementes wird seine Eingangsspannung auf Null gesetzt und der Depletion-FET wird leitend gesteuert. Dann entlädt sich die Gate-Source-Kapazität des Leistungs-Halbleiterbauelementes über den Depletion-FET und den Widerstand.

Die Einschaltgeschwindigkeit und die Abschaltgeschwindigkeit des Leistungs-Halbleiterbauelementes wird im wesentlichen durch den Widerstand bestimmt. Dadurch sind beide Schaltgeschwindigkeiten miteinander verknüpft.

In der DE 39 36 544 ist eine Schaltungsanordnung beschrieben worden, mit der im Kurzschlußfall einer Last ein sanftes Abschalten des Leistungs-Halbleiterbauelementes bewirkt wird. Dies wird durch einen zwischen Gateanschluß und Sourceanschluß des Leistungs-Halbleiterbauelementes liegenden steuerbaren Schalter erreicht, der seinerseits einen in der Gatezuleitung des Leistungs-Halbleiterbauelementes liegenden steuerbaren Widerstand steuert. Dieser Widerstand wird dann in einen Bereich höheren Widerstands gesteuert, wenn die Überlast auftritt. Durch den höheren Widerstand in der Gatezuleitung wird der Ladestrom für das Leistungs-Halbleiterbauelement verringert, so daß gemeinsam mit dem Einschalten des steuerbaren Schalters ein sanftes Abschalten des Leistungs-Halbleiterbauelementes möglich ist.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung der beschriebenen Art so weiterzubilden, daß die Abschaltgeschwindigkeit bei gleichbleibender Einschaltgeschwindigkeit erhöht werden kann.

Diese Aufgabe wird dadurch gelöst, daß die strombegrenzenden Mittel die Source-Drain-Strecke eines in der Gatezuleitung des Leistungs-Halbleiterbauelementes liegenden Depletion-FET enthalten, dessen Gateanschluß mit dem Gateanschluß des Leistungs-Halbleiterbauelementes verbunden ist, daß dem Depletion-FET ein Enhancement-FET vom gleichen Kanaltyp parallel geschaltet ist und daß der Gateanschluß des Enhancement-FET mit dem Gateanschluß des Leistungs-Halbleiterbauelementes verbunden ist.

Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

Die Erfindung wird anhand eines Ausführungsbeispiels in Verbindung mit den Fig. 1 und 2 näher erläutert. Es zeigen:

Fig. 1 ein Ausführungsbeispiel der strombegrenzenden Mittel und

Fig. 2 die Anwendung der Schaltungsanordnung nach Fig. 1 in einer Ansteuerschaltung gemäß dem oben er-

wähnten Stand der Technik.

Das Leistungs-Halbleiterbauelement 1 nach Fig. 1 ist ein Leistungs-MOSFET. Sein Drainanschluß ist mit D und sein Sourceanschluß mit S bzw. sein Emitteranschluß mit E bezeichnet. Das Leistungs-Halbleiterbauelement 1 ist auf der Drainseite mit einem Anschluß 3 und auf der Sourceseite mit einem Anschluß 4 verbunden. Am Anschluß 3 wird die Betriebsspannung V<sub>DD</sub> angelegt, mit dem Anschluß 4 ist eine Last 2 verbunden.

Der Gateanschluß des Leistungs-Halbleiterbauelements 1 ist über einen Anschluß 17 mit strombegrenzenden Mitteln 14 verbunden. Die Mittel 14 enthalten einen Depletion-FET 18, dessen Sourceanschluß mit dem Gateanschluß des Leistungs-Halbleiterbauelements 1 verbunden ist. Außerdem ist der Gateanschluß des Depletion-FET 18 mit seinem Sourceanschluß und mit dem Sourceanschluß von 1 verbunden. Der Drain-Source-Strecke des Depletion-FETs 18 ist die Drain-Source-Strecke eines Enhancement-FET 19 parallel geschaltet. Beide FET sind vom gleichen Kanaltyp. Der Drainanschluß von 19 ist dabei mit dem Drainanschluß von 18 verbunden, der Sourceanschluß von 19 mit dem Sourceanschluß von 18. Der Gateanschluß des Enhancement-FET 19 ist mit seinem Sourceanschluß und mit dem Sourceanschluß des Leistungs-Halbleiterbauelements 1 verbunden. Zwischen den Gate- und Sourceanschlüssen der FET 18, 19 und dem Gateanschluß von 1 kann noch ein Widerstand 20 liegen.

Bei Anlegen einer positiven Spannung an den mit den Drainanschlüssen verbundenen Anschluß 16 fließt ein Strom durch den Depletion-FET 18. Dieser wirkt als Stromquelle und lädt die Gate-Sourcekapazität des Leistungs-Halbleiterbauelements 1 auf. Der Enhancement-FET 19 ist gesperrt, da seine Gate-Sourcespannung 0 V beträgt. Soll das Leistungs-Halbleiterbauelement 1 abgeschaltet werden, so wird die Spannung am Anschluß 16 auf 0 V (bezogen auf den Sourceanschluß von 1) gebracht. Damit wird das Potential an den Drainanschlüssen der FET 18, 19 auf Null abgesenkt, während das Potential an ihren Sourceanschlüssen weiter positiv bleibt. Die beiden FET 18, 19 bilden nun zwei parallelgeschaltete Dioden, durch die sich die Gate-Sourcekapazität des Leistungs-Halbleiterbauelements 1 (über den Depletion-FET 12 in Fig. 2) entladen kann. Das Leistungs-Halbleiterbauelement 1 wird damit schnell gesperrt.

Die Schaltungsanordnung nach Fig. 1 kann z. B. in der eingangs erwähnten Ansteuerschaltung Anwendung finden, die in Fig. 2 dargestellt ist. Die strombegrenzenden Mittel 14 sind auch in Fig. 2 mit 14 bezeichnet, ebenso finden sich ihre Anschlüsse 16 und 17 in Fig. 2 wieder.

Die Schaltungsanordnung nach Fig. 2 weist außer den strombegrenzenden Mitteln 14, dem Leistungs-Halbleiterbauelement 1 und dem steuerbaren Schalter 12 eine Ladungspumpe auf, die im wesentlichen aus einem Kondensator 10, einer Diode 9 und einem Bipolartransistor 8 besteht. Der Anschluß 16 ist dabei über die Diode 9 und den Kondensator 10 mit einem Eingangsanschluß 11 verbunden. Der Bipolartransistor 8 ist emitterseitig mit dem Anodenanschluß der Diode 9 und kollektorseitig mit dem Anschluß 3 und mit dem Drainanschluß von 1 verbunden. Zwischen Basisanschluß und Kollektoranschluß des Bipolartransistors 8 liegt die Drain-Source-Strecke eines FET 5, der den umgekehrten Kanaltyp wie das Bauelement 1 hat. Zwischen Gateanschluß und Sourceanschluß von 5 ist ein Widerstand 6 angeschlossen. Zwischen Drainanschluß von 5 und Basisanschluß

von 8 einerseits und dem Anschluß 4 bzw. dem Sourceanschluß von 1 ist ein Widerstand 7 angeschlossen. Bei den Widerständen kann eine als Spannungsbegrenzer wirkende Zenerdiode parallel geschaltet sein. Der Gateanschluß von 5 ist außerdem über einen Widerstand 13 mit einem Schalter 15 verbunden, über den eine Eingangsspannung  $U_{in}$  an die Gateanschlüsse von 5 und 12 angelegt werden kann. Die Spannung  $U_{in}$  ist kleiner als  $V_{DD}$ .

Soll das Leistungs-Halbleiterbauelement 1 eingeschaltet werden, so wird zunächst der Schalter 15 geschlossen. Damit fließt ein Strom vom Anschluß 3 durch den Widerstand 6 und dem Widerstand 13 über den geschlossenen Schalter 15 zur Spannungsquelle  $U_{in}$ . Die Widerstände 6, 13 und die erwähnte Spannung sind derart dimensioniert, daß der FET 5 leitend gesteuert und der FET 12 gesperrt wird. Der FET 5 steuert damit den Bipolartransistor 8 leitend. Damit kann ein Strom durch den Bipolartransistor 8, die Diode 9, die Mittel 14 fließen und die Gate-Sourcekapazität von 1 wird mit etwa konstantem Strom aufgeladen. Das Leistungs-Halbleiterbauelement beginnt damit zu leiten.

Durch den Strom durch den Bipolartransistor 8 wird auch der Kondensator 10 aufgeladen. Werden nun am Eingang 11 Impulse angelegt, wird die Spannung am Verbindungspunkt zwischen dem Emitter 8 und dem Anodenanschluß der Diode 9 nach dem bekannten Spannungsverdopplerprinzip auf einen Wert hochgepumpt, der größer als die Betriebsspannung  $V_{DD}$  ist. Das Leistungs-Halbleiterbauelement 1 bleibt daher sicher eingeschaltet.

Seine Gate-Sourcekapazität wird dabei über den als Stromquelle geschalteten Depletion-FET 18 (Fig. 1) mit konstantem Strom aufgeladen.

Zum Abschalten von 1 wird die Spannung am Eingang 11 auf Null gesetzt und der Schalter 15 wird geöffnet. Damit steigt die Spannung am Depletion-FET 12 und dieser wird leitend. Gleichzeitig wird der FET 5 und der Bipolartransistor 8 gesperrt. Das Potential am Anschluß 16 wird damit niedriger als am Anschluß 17 und die Gate-Sourcekapazität von 1 kann sich durch die in Verbindung mit Fig. 1 beschriebene Anordnung 14 entladen. Da diese zwei als Dioden wirkende, parallel geschaltete MOSFET enthält, wird die Gate-Sourcekapazität von 1 schnell entladen und dieser wird schnell gesperrt.

Die Mittel 14 werden vorzugsweise in integrierter Technik hergestellt. Bei der sogenannten selbstisolierenden Technik, bei der die Isolation der einzelnen Funktionsblöcke durch in Sperr-Richtung vorgespannte pn-Übergänge sichergestellt wird, ist es erforderlich, das Substrat derart vorzuspannen, daß die genannten pn-Übergänge auch immer gesperrt bleiben. In diesem Falle werden die Substratanschlüsse B daher nicht mit den Sourceanschlüssen S des jeweiligen Bauelements verbunden, sondern über die gestrichelt eingezeichnete Verbindung 21 an das niedrigste Potential gelegt, das verfügbar ist. Dies ist im gezeigten Ausführungsbeispiel das Sourcepotential des Leistungs-Halbleiterbauelementes 1. Bei anderen Technologien, wie z. B. die mit dielektrischer Isolation, bleibt das Substrat der FET 18, 19 mit ihrem Sourceanschluß verbunden.

Das Leistungs-Halbleiterbauelement kann auch ein IGBT sein.

durch Feldeffekt steuerbaren Leistungs-Halbleiterbauelementes, mit einem steuerbaren Schalter, der über strombegrenzende Mittel zwischen Gateanschluß und Sourceanschluß (Emitteranschluß) des Leistungs-Halbleiterbauelementes angeschlossen ist, dadurch gekennzeichnet, daß die strombegrenzenden Mittel (14) die Source-Drainstrecke eines in der Gatezuleitung des Leistungs-Halbleiterbauelementes (1) liegenden Depletion-FET (18) enthalten, dessen Gateanschluß mit dem Gateanschluß des Leistungs-Halbleiterbauelementes (1) verbunden ist, daß dem Depletion-FET (18) ein Enhancement-FET (19) vom gleichen Kanaltyp parallel geschaltet ist und daß der Gateanschluß des Enhancement-FET mit dem Gateanschluß des Leistungs-Halbleiterbauelementes (1) verbunden ist.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Depletion-FET (18) und der Enhancement-FET (19) je einen Substratanschluß (B) haben und daß die Substratanschlüsse mit dem Sourceanschluß (S) (Emitteranschluß (E)) des Leistungs-Halbleiterbauelementes verbunden sind.

3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß zwischen den Gateanschlüssen des Depletion-FET (18) und des Enhancement-FET (19) einerseits und dem Gateanschluß des Leistungs-Halbleiterbauelementes (1) andererseits ein Widerstand (20) angeschlossen ist.

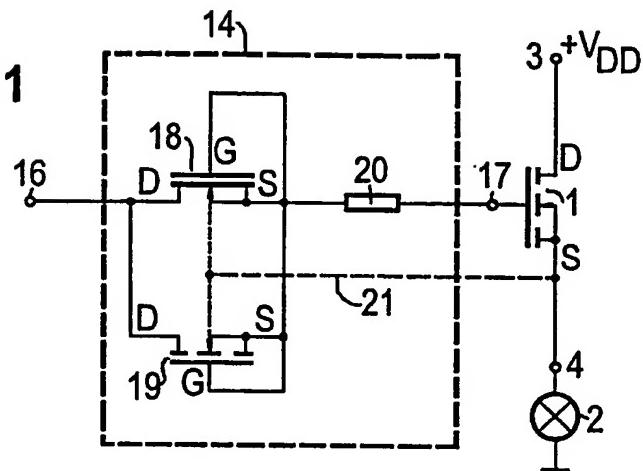
---

#### Hierzu 1 Seite(n) Zeichnungen

#### Patentansprüche

##### 1. Schaltungsanordnung zum Ansteuern eines

FIG 1



**FIG 2**

